

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#4  
AP  
12/6/01

In re Application of

Atty. Docket

SABINE SOMMER ET AL

DE 000091

Serial No.

Filed: CONCURRENTLY

DIGITAL MICROELECTRONIC CIRCUIT WITH A CLOCKED DATA-PROCESSING UNIT  
AND A CONVERTING UNIT

Commissioner for Patents  
Washington, D.C. 20231

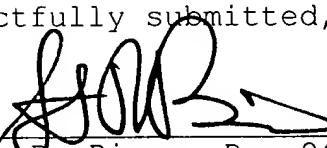
AUTHORIZATION PURSUANT TO 37 CFR §1.136(a)(3)  
AND TO CHARGE DEPOSIT ACCOUNT

Sir:

The Commissioner is hereby requested and authorized to treat any concurrent or future reply in this application requiring a petition for extension of time for its timely submission, as incorporating a petition for extension of time for the appropriate length of time.

Please charge any additional fees which may now or in the future be required in this application, including extension of time fees, but excluding the issue fee unless explicitly requested to do so, and credit any overpayment, to Deposit Account No. 14-1270.

Respectfully submitted,

By   
Steven R. Biren, Reg. 26,531  
Attorney  
(914) 333-9630

# BUNDESREPUBLIK DEUTSCHLAND



W  
J1033 U.S. PTO  
09/8888461  
06/25/01

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 31 222.5

**Anmeldetag:** 27. Juni 2000

**Anmelder/Inhaber:** Philips Corporate Intellectual Property GmbH,  
Hamburg/DE

**Bezeichnung:** Digitale mikroelektronische Schaltung mit einer  
getakteten Datenverarbeitungseinheit und einer  
Umwandlungseinheit

**IPC:** G 06 F, H 04 L

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 14. März 2001  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Waasmaier

## ZUSAMMENFASSUNG

Digitale mikroelektronische Schaltung mit einer getakteten Datenverarbeitungseinheit und einer Umwandlungseinheit

Eine digitale mikroelektronische Schaltung enthält eine getaktete Datenverarbeitungseinheit (1) und eine Umwandlungseinheit (2), welche am Ausgang der Datenverarbeitungseinheit anliegende Daten einliest, eine vorgegebene Umwandlungsoperation an den Daten ausführt und die umgewandelten Daten weiterleitet. Die Umwandlungseinheit ist derart in einer asynchronen Logikschaltung realisiert, dass die Zeidauer für die Durchführung der Umwandlungsoperation kleiner ist als der kürzeste Zeitabstand zur nächsten Änderung der am Ausgang der Datenverarbeitungseinheit anliegenden Daten. Auf diese Weise können schnelle serielle synchrone Vorgänge in relativ dazu langsamen synchronen Systemen durch den Einsatz von asynchroner Logik aus der Sichtweise des langsamen synchronen Systems parallelisiert werden, ohne dass ein weiteres hochfrequentes Taktsystem erforderlich wäre.

## BESCHREIBUNG

Digitale mikroelektronische Schaltung mit einer getakteten Datenverarbeitungseinheit und einer Umwandlungseinheit

Die Erfindung betrifft eine digitale mikroelektronische Schaltung mit einer getakteten

5 Datenverarbeitungseinheit und einer Umwandlungseinheit, welche die am Ausgang der Datenverarbeitungseinheit anliegenden parallelen Daten einliest, eine vorgegebene Umwandlungsoperation an den Daten ausführt und die umgewandelten Daten weiterleitet.

In digitalen mikroelektronischen Schaltungen erfolgen die Manipulationen von Daten in

10 der Regel synchron, das heißt in einem von einer Uhr vorgegebenen Takt (system clock). Hintereinander geschaltete Verarbeitungseinheiten zur seriellen Verarbeitung von Daten werden dabei in der Regel von derselben Uhr getaktet, damit die seriellen Verarbeitungsschritte geordnet und synchron ablaufen können.

15 Der Nachteil einer derartigen Hintereinanderschaltung synchroner Verarbeitungseinheiten ist, dass die langsamste Verarbeitungseinheit die maximal zulässige Taktrate vorgibt. Weiterhin kann es sein, dass eine Verarbeitungseinheit zur Durchführung ihrer Datenmanipulation mehrere Taktzyklen benötigt. In diesem Falle müssen die anderen Verarbeitungseinheiten eine gleiche Anzahl von Taktzyklen warten, bis sie die Verarbeitung neuer

20 Daten aufnehmen können. Die serielle Datenverarbeitung mit synchronen Verarbeitungseinheiten ist somit in zweierlei Hinsicht in ihrer Geschwindigkeit durch die langsamsten Elemente festgelegt, nämlich sowohl in der anwendbaren Taktrate als auch der Datenverarbeitungsrate (Anzahl der Takte, die für eine vollständige Datenmanipulation benötigt werden).

25 Ein Beispiel für eine serielle synchrone Datenverarbeitung ist die Verschlüsselung beziehungsweise Prüfung von Daten, welche von einer primären Datenverarbeitungseinheit wie einem Mikroprozessor (CPU) ausgegeben werden. Diese Daten werden typischerweise mit einem Verfahren von seriellen Prozeduren, z.B. einem CRC-Verfahren (Cyclic

30 Redundancy Check) gegen Übertragungsfehler gesichert beziehungsweise auf Übertragungsfehler hin überprüft.

Zur Erhöhung der Verarbeitungsgeschwindigkeit in seriellen Datenverarbeitungssystemen ist es bekannt,  $n$  verschiedene Verarbeitungseinheiten mit  $n$  unterschiedlichen Taktraten zu versorgen. So kann beispielsweise eine Umwandlungseinheit vorteilhaft mit der mehrfachen Taktrate wie die übrigen Verarbeitungseinheiten betrieben werden, wenn sie

5 für die Ausführung eines einzelnen Taktes weniger Zeit benötigt als die anderen Einheiten und wenn sie andererseits für die Vervollständigung der Datenmanipulation mehr Takte als die anderen Verarbeitungseinheiten benötigt. Auf diese Weise kann eine gewisse Beschleunigung der Gesamtverarbeitung in einem System schneller serieller synchroner Vorgänge und relativ langsamer synchroner Vorgänge erzielt werden. Die Bereitstellung

10 zweier oder mehrerer unterschiedlicher Taktsysteme führt jedoch zu Problemen bei der Generierung der Takte. Insbesondere kann es zu Störungen durch Taktüberlagerungen kommen. Weiterhin ergeben sich durch einen begrenzten maximal möglichen Takt Geschwindigkeitsgrenzen der Gesamtverarbeitung, so dass nicht die Vorgangsgeschwindigkeit die maximal mögliche Verarbeitungsgeschwindigkeit vorgibt.

15 Vor diesem Hintergrund war es Aufgabe der vorliegenden Erfindung, eine digitale mikroelektronische Schaltung der eingangs genannten Art so zu verbessern, dass sich in einfacher Weise eine Steigerung der Gesamtverarbeitungsrate von Daten ergibt.

20 Diese Aufgabe wird durch eine Schaltung mit den Merkmalen des Anspruchs 1 gelöst.

Die digitale mikroelektronische Schaltung enthält demnach mindestens eine von einer Systemuhr getaktete Datenverarbeitungseinheit wie zum Beispiel einen Mikroprozessor sowie eine Umwandlungseinheit, welche die am Ausgang der Datenverarbeitungseinheit

25 anliegenden Daten einliest, mit diesen Daten eine vorgegebene Umwandlungsoperation ausführt und die so umgewandelten Daten weiterleitet. Die Schaltung ist dadurch gekennzeichnet, dass die Umwandlungseinheit derart als asynchrone Logikschaltung realisiert ist, dass die Zeitdauer für die Durchführung der Umwandlungsoperation in dieser Logikschaltung kleiner ist als der kürzeste Zeitabstand zur nächsten Änderung der am Ausgang der

30 Datenverarbeitungseinheit anliegenden Daten.

Bei der erfindungsgemäßen Schaltung wird demnach eine serielle Verarbeitung von Daten mit synchronen, getakteten Einheiten und asynchronen, nicht getakteten Einheiten vorgenommen. Obwohl die Verarbeitungseinheiten nicht durch Zugrundelegung eines gemeinsamen Taktes synchronisiert sind, kann dennoch eine geordnete serielle Verarbeitung der

- 5 Daten erreicht werden, indem die asynchrone Logik in ihrer Verarbeitungsgeschwindigkeit in bestimmter Weise in Hinblick auf die anderen Einheiten realisiert wird. Die Bedingung an die Verarbeitungsgeschwindigkeit der asynchronen Logik besteht darin, dass die Zeitdauer für die Durchführung einer Umwandlungsoperation mit am Eingang anliegenden Daten kleiner ist als der kürzeste mögliche Zeitabstand zur nächsten Änderung der am
- 10 Ausgang der Datenverarbeitungseinheit anliegenden Daten. Diese Bedingung wird insbesondere dann eingehalten, wenn die maximale Dauer der Umwandlungsoperation bezüglich aller in Frage kommenden Daten kürzer ist als der minimale Zeitabstand zwischen der Änderung von Daten am Ausgang der Datenverarbeitungseinheit. Durch die genannten Bedingungen wird sichergestellt, dass die Umwandlungsoperation der asynchronen Logik
- 15 beendet ist, wenn am Ausgang der Datenverarbeitungseinheit neue Daten für die Umwandlung vorliegen.

Bei einer für die Praxis besonders relevanten Ausgestaltung der erfindungsgemäßen Schaltung handelt es sich bei der in der Umwandlungseinheit ausgeführten Umwandlungs-

- 20 operation um eine Verschlüsselungs- und/oder Prüfoperation. Vorzugsweise kann es sich um ein CRC-Verfahren handeln. Die Ausführung eines derartigen Verfahrens erfordert in einer synchronen Logik eine verhältnismäßig große Anzahl von Taktzyklen, so dass die Ausführung dieses Verfahrens in einem synchronen System gemäß dem Stand der Technik die gesamte Verarbeitungsgeschwindigkeit der Daten herabsetzt. Andererseits lässt sich z.B.
- 25 ein CRC-Verfahren mit geringer logischer Gattertiefe realisieren, so dass es in einer asynchron arbeitenden Umwandlungseinheit mit hoher Geschwindigkeit durchgeführt werden kann.

Im Folgenden wird die Erfindung mit Hilfe der einzigen Figur beispielhaft erläutert.

- 30 Die Figur zeigt schematisch eine digitale mikroelektronische Schaltung mit zwei Verarbeitungseinheiten, nämlich einem digitalen Mikroprozessor (CPU) 1 und einer Umwandlungseinheit 2. Am Ausgang der Datenverarbeitungseinheit 1 parallel anfallende Daten

sollen mittels eines seriellen Verschlüsselungsverfahrens von der Umwandlungseinheit 2 geprüft werden. Zum Beispiel kann in der Umwandlungseinheit 2 ein CRC32 Verfahren CPU op-code aufzeichnen.

5 Die Datenverarbeitungseinheit 1 ist an eine Takt signalleitung 3 für die Übertragung des Systemtaktes CLK angeschlossen. Bei herkömmlichen Systemen würde auch die Umwandlungseinheit 2 an die Takt signalleitung 3 angeschlossen sein, um synchron mit der Datenverarbeitungseinheit 1 arbeiten zu können. Dabei würden jedoch zur synchronen seriellen Abarbeitung der Verschlüsselung mehrere clock-Perioden benötigt, bevor das nächste 10 parallele Datenwort verarbeitet werden könnte. Dies würde unter Umständen zu erheblichen Wartezeiten in der parallelen Datenverarbeitung führen.

Erfnungsgemäß wird daher die Umwandlungseinheit 2 mittels asynchroner Logik realisiert, so dass sie unabhängig vom Systemtakt auf der Leitung 3 arbeitet. Die durchzuführende Umwandlungsoperation findet dabei dennoch mit hoher Geschwindigkeit statt, da Vorgänge mit geringer logischer Gattertiefe erheblich schneller ablaufen können als von der Systemfrequenz vorgegeben. Die serielle Verschlüsselung mittels asynchroner Logik kann so schnell durchgeführt werden, dass sie abgeschlossen ist, bevor neue Daten von der Datenverarbeitungseinheit 1 bereitgestellt werden. Der Gesamtablauf der seriellen Datenverarbeitung wird daher nicht dadurch gestört, dass die Umwandlungseinheit 2 asynchron 20 arbeitet.

Mit dem in der Figur gezeigten System ist es zum Beispiel möglich, eine CRC32 Verschlüsselung in zwei system-clock-Perioden eines mit 16 MHz getakteten Prozessors 25 asynchron ablaufen zu lassen. Wenn die aufzuzeichnenden Daten alle zwei clock-Perioden anfallen, ergibt sich aus Sicht der Datenverarbeitungseinheit 2 eine quasi parallele Verschlüsselung.

Durch die erfundungsgemäße Ausgestaltung der Schaltung können somit schnelle serielle 30 synchrone Vorgänge in relativ dazu langsamen synchronen Systemen durch den Einsatz von asynchroner Logik aus der Sichtweise des langsamen synchronen Systems parallelisiert werden, ohne dass ein weiteres hochfrequentes Taktsystem erforderlich wäre.

Die Umwandlungseinheit 2 gibt die Ergebnisse der Umwandlung an ihrem Ein-/Ausgang 6 an eine nachfolgende Einheit weiter. Sie kann alternativ auch die asynchron berechneten Ergebnisse über die Leitung 5 an die CPU 1 zur Weiterverarbeitung leiten. Ebenso ist es möglich, dass die Umwandlungseinheit 2 ihre Eingangsdaten über die Leitung 6 erhält.

5

Andere Beispiele für die Funktion der Umwandlungseinheit 2 sind neben dem CRC oder CRC32 Verfahren z.B. die Datenkompression, die Fehlerkorrektur, Verschlüsselungsverfahren, Hash-Funktionen und dergleichen.

10 Bezugsszeichen:

1	Datenverarbeitungseinheit CPU
2	Umwandlungseinheit
3	Taktsignalleitung
4, 5, 6	Datenleitung

15

PATENTANSPRÜCHE

1. Digitale mikroelektronische Schaltung mit einer getakteten Datenverarbeitungseinheit (1) und einer Umwandlungseinheit (2), welche am Ausgang der Datenverarbeitungseinheit anliegende Daten einliest, eine vorgegebene Umwandlungsoperation an den Daten ausführt und die umgewandelten Daten weiterleitet,

5 dadurch gekennzeichnet,

dass die Umwandlungseinheit derart in einer asynchronen Logikschaltung realisiert ist, dass die Zeitdauer für die Durchführung der Umwandlungsoperation kleiner ist als der kürzeste Zeitabstand zur nächsten Änderung der am Ausgang der Datenverarbeitungseinheit anliegenden Daten.

10

2. Digitale mikroelektronische Schaltung nach Anspruch 1,

dadurch gekennzeichnet,

dass die Umwandlungsoperation eine Verschlüsselung, eine Kompression, eine Fehlerkorrektur, eine Hash-Funktion und/oder Prüfoperation ist, vorzugsweise ein CRC-

15. Verfahren.

20

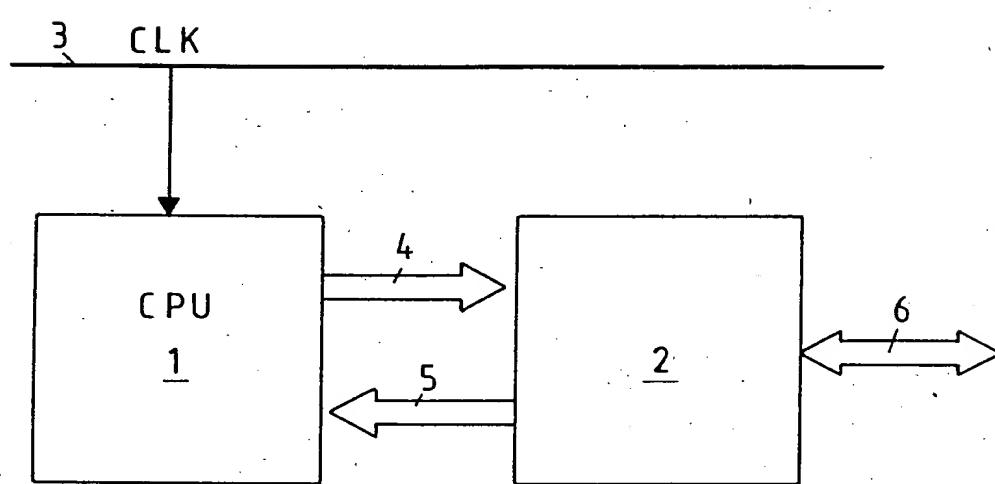


Fig. 1